

LIGHT RECEIVING ELEMENT WITH BUILT-IN CIRCUIT

Publication number: JP2002203954

Publication date: 2002-07-19

Inventor: FUKUNAGA NAOIKI; KASHU KAZUHIRO

Applicant: SHARP KK

Classification:

- International: **H01L21/761; H01L27/14; H01L27/146; H01L31/10; H01L21/70; H01L27/14; H01L27/146; H01L31/10; (IPC1-7): H01L27/14; H01L21/761; H01L31/10**

- European: H01L27/146V16; H01L27/146A4

Application number: JP20010277312 20010912

Priority number(s): JP20010277312 20010912; JP20000334016 20001031

Also published as:



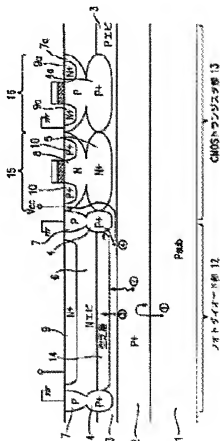
US6433374 (B1)

US2002050593 (A1)

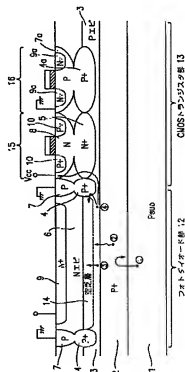
Report a data error here

Abstract of JP2002203954

PROBLEM TO BE SOLVED: To enable the high-speed operation of a photodiode, and suppress the penetration of photo carriers generated in the photodiode into a MOS device, and prevent latch up phenomena. **SOLUTION:** A photodiode small in junction capacity is made of an N-type epitaxial layer 6 and a P-type epitaxial layer 3, and the photodiode is surrounded by a P+-type buried isolated diffused layer 4 and a P-type isolated diffused layer 7 and electrically isolated from a signal processing circuit including a MOS structure of transistor.



Data supplied from the esp@cenet database - Worldwide



【特許請求の範囲】

【請求項1】 第1導電型半導体積層構造と、

該第1導電型半導体積層構造上に形成された第1の第2導電型半導体層との接合により、入射光を電気信号に変換するフォトダイオードと、

該第1の第2導電型半導体層における該フォトダイオード部とは異なる領域に形成され、光電変換された信号を処理する信号処理回路と、

を備えた回路内蔵受光素子であって、

該第1導電型半導体積層構造は、第1導電型半導体基板と、該第1導電型半導体基板上に形成され、該第1導電型半導体基板よりも不純物濃度が高い第1の第1導電型半導体層と、該第1の第1導電型半導体層上に形成され、該第1の第1導電型半導体層よりも不純物濃度が低い第2の第1導電型半導体層とを有し、

該フォトダイオードは、該第1の第1導電型半導体層の表面にほぼ接するように設けられた第3の第1導電型半導体層と、該第1の第2導電型半導体層の表面から該第3の第1導電型半導体層まで達するように形成された第4の第1導電型半導体層とに囲まれた領域に形成され、該信号処理回路は、少なくともMOS構造のトランジスタを含むことを特徴とする回路内蔵受光素子。

【請求項2】 前記第3の第1導電型半導体層の下方に、該第3の第1導電型半導体層の少なくとも一部と重なって、前記第2の第1導電型半導体層を貫通し、少なくとも前記第1の第1導電型半導体層まで達する第5の第1導電型半導体層を有する請求項1に記載の回路内蔵受光素子。

【請求項3】 前記第2の第1導電型半導体層が高比抵抗層である請求項1または2に記載の回路内蔵受光素子。

【請求項4】 前記第2の第1導電型半導体層の比抵抗が $200\Omega\text{cm}$ 以上である請求項1～3のいずれかに記載の回路内蔵受光素子。

【請求項5】 前記第1の第2導電型半導体層に表面に、第2の第2導電型半導体層が形成されている請求項1～4のいずれかに記載の回路内蔵受光素子。

【請求項6】 前記信号処理回路に、前記フォトダイオードと隣接しないように、N型MOSトランジスタが形成されている請求項1～5のいずれかに記載の回路内蔵受光素子。

【請求項7】 前記信号処理回路を構成するN型MOSトランジスタと前記フォトダイオードとの間に、P型MOSトランジスタが形成されている請求項6に記載の回路内蔵受光素子。

【請求項8】 前記信号処理回路を構成するN型MOSトランジスタと前記フォトダイオードとの間に、前記第1の第2導電型半導体層または前記第2の第2導電型半導体層が形成され、該第1の第2導電型半導体層または該第2の第2導電型半導体層と前記第3の第1導電型半

導体層とが同電位に設定されている請求項6に記載の回路内蔵受光素子。

【請求項9】 前記信号処理回路を構成するN型MOSトランジスタと前記フォトダイオードとの間に、前記第1の第2導電型半導体層または前記第2の第2導電型半導体層が形成され、該第1の第2導電型半導体層または該第2の第2導電型半導体層は、前記第3の第1導電型半導体層よりも高電位に設定されている請求項6に記載の回路内蔵受光素子。

【請求項10】 前記第2の第2導電型半導体層が前記MOS構造のトランジスタのソース領域およびドレイン領域と同時に形成される請求項1～9のいずれかに記載の回路内蔵受光素子。

【請求項11】 前記第2の第2導電型半導体層が1回または複数回の拡散処理によって形成されている請求項10に記載の回路内蔵受光素子。

【請求項12】 前記第2の第2導電型半導体層が第6の第1導電型半導体層である請求項10または11に記載の回路内蔵受光素子。

【請求項13】 前記第2の第2導電型半導体層の下方の前記第1の第2導電型半導体層の不純物濃度がほぼ均一である請求項1～12のいずれかに記載の回路内蔵受光素子。

【請求項14】 前記第1の第2導電型半導体層が高比抵抗層である請求項1～13のいずれかに記載の回路内蔵受光素子。

【請求項15】 前記第1の第2導電型半導体層の比抵抗が $3.0\Omega\text{cm}$ 以上である請求項1～14のいずれかに記載の回路内蔵受光素子。

【請求項16】 前記第2の第2導電型半導体層の下方に第2導電型ウェル拡散層が形成されている請求項5に記載の回路内蔵受光素子。

【請求項17】 前記第6の第1導電型半導体層の下方に第1導電型ウェル拡散層が形成されている請求項12に記載の回路内蔵受光素子。

【請求項18】 前記第2導電型ウェル拡散層および前記第1導電型ウェル拡散層が前記MOS構造のトランジスタのウェル領域と同時に形成される請求項16または17に記載の回路内蔵受光素子。

【請求項19】 前記第1の第2導電型半導体層と前記第2の第1導電型半導体層との間に第4の第2導電型半導体層が形成されている請求項12に記載の回路内蔵受光素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、入射した光を電気信号に変換する受光素子（フォトダイオード）と、少なくともMOSトランジスタを含み、受光素子から出力される信号を処理する信号処理回路とを同一基板上に設けた回路内蔵受光素子に関し、特に、受光素子の応答速度

を高速化するとともに、MOS構造のトランジスタの誤動作を抑制した回路内蔵受光素子に関する。

【0002】

【従来の技術】従来から、回路内蔵受光素子等の半導体装置は、例えば光ピックアップおよび光ファイバ技術、フォトカプラ等に用いられている。近年、光ピックアップにおいては、CD-ROMおよびCR-R/RW、DVD-DRドライブ等の高速化が進み、それに伴って高感度、低ノイズ、高速応答等の特性に優れた高性能な回路内蔵受光素子が要求されている。また、光ファイバ技術においても、同様に、データ転送の高速化に対応するために、高性能な回路内蔵受光素子が要求されている。

【0003】受光素子と信号処理回路を同一基板上に集積化した回路内蔵受光素子の一例として、例えば図10に示すような回路内蔵受光素子の構成が特開平11-251567号公報に開示されている。

【0004】図10に示す回路内蔵受光素子は、P型半導体基板30の全面にN⁺型埋め込み拡散層31が積層され、N⁺型埋め込み拡散層31上にN⁺型エピタキシャル層32が積層されている。N⁺型エピタキシャル層32の上部には、MOSTランジスタ36および37を有する周辺回路21が形成されるとともに、周辺回路21に隣接して、受光素子であるフォトダイオード20が形成されている。フォトダイオード20は、P⁺領域34およびN⁺型領域34を有する受光領域、この受光領域を取り囲むN⁺型拡散層35等を有している。

【0005】図10に示す回路内蔵受光素子の構成では、N⁺型埋め込み拡散層31とN⁺型拡散層35とから成るN⁺型バリア領域により、フォトダイオード20を取り囲むポテンシャルバリア（電位障壁）を形成することによって、周辺回路20のMOSTランジスタ36および37から発生する迷走キャリアがフォトダイオード20内に入入することを防止し、固定パターンノイズ（FPN: Fixed Pattern Noise）を低減している。さらに、P型半導体基板30と反対の導電型のN⁺型埋め込み拡散層31を形成し、N⁺型埋め込み拡散層31上にフォトダイオード20を形成することにより、P型半導体基板30とN⁺型埋め込み拡散層31との界面に形成されるPN接合領域によって、周辺回路21のMOSTランジスタ36および37のチャネル部で発生した迷走キャリアがフォトダイオード20内に入入することを防止し、固定パターンノイズを低減している。

【0006】

【発明が解決しようとする課題】MOSTランジスタ36および37にて発生した迷走キャリアがフォトダイオード20内に入入することの防止、および、フォトダイオード20にて発生した迷走キャリアがMOSTランジスタ36および37側に入入して誤信号を発生することの防止は、微小信号を取り扱う回路内蔵受光素子に関して

重要な開発課題である。特に、信号処理回路にMOSTランジスタ36および37が設けられていると、フォトダイオード20で発生した光キャリアによる電流がMOSTランジスタ36および37のチャネル部に流れ込むため、光キャリアによる電流が微小な電流であっても誤動作が生じるおそれがある。

【0007】しかしながら、前述の公報に開示されているような構成では、以下のような問題がある。

【0008】一般的に、通常のMOSプロセスにおいては、MOSTランジスタが基板比抵抗の低いP型半導体基板中に形成される。これは、P型半導体基板全面をGND電位に安定して保つことにより、MOSTランジスタ間の寄生動作に起因するラッチアップ現象を防止するためである。

【0009】これに対して、図10に示す回路内蔵受光素子では、P型半導体基板30の全面にN⁺型埋め込み拡散層31が積層されているために、GND電位を安定に保つためのP型半導体基板30と、MOSTランジスタ36および37が形成されているN⁺型エピタキシャル層32とが電気的に分離されている。また、N⁺型エピタキシャル層32は、P型半導体基板30に比べて厚みが極めて薄く、比抵抗が高いためにN⁺型エピタキシャル層32表面に平行な横方向への抵抗が非常に高くなっている。したがって、このような構成では、ラッチアップ現象が非常に起こり易くなる。ラッチアップが発生すると、高電源電圧をOFF状態にするまでチップ内を電流が流れ続けて回路が正常に動作しなくなる。また、高電源電圧による電流が流れ続けると、チップが異常な高温になるおそれがある。

【0010】さらに、図10に示す回路内蔵受光素子では、フォトダイオード20の受光領域を取り囲むように形成されたN⁺型拡散層35は、N⁺型埋め込み拡散層31に接触しているために、これによりMOSTランジスタ36および37からフォトダイオード20への迷走キャリアの進入を防止している。このN⁺型拡散層35は、N⁺型エピタキシャル層32の表面からN⁺型埋め込み拡散層31まで形成されており、N⁺型拡散層35をN⁺型埋め込み拡散層31に接触させるためには、N⁺型拡散層35に対するキャリアの拡散係数から考えて、N⁺型エピタキシャル層32は、厚くても5μm程度の厚さになる。この場合、P型半導体基板30およびN⁺型埋め込み拡散層31の界面のPN接合領域近傍で発生した光キャリアによる拡散電流成分は、フォトダイオード20の応答速度に最も影響を与えるが、N⁺型埋め込み拡散層31とP型半導体基板30とのPN接合によって再結合されるため、フォトダイオード20を高速化することができる。

【0011】しかし、フォトダイオード20に入射した光によって、発生する光キャリアは、その大部分がN⁺型埋め込み拡散層31の下で発生するために、N⁺型

埋め込み拡散層 31 の下部で発生する光キャリアは、光電流として寄与せず、フォトダイオード 20 の光電変換効率が大幅に低下する。例えば、通常の光ピックアップ等で用いられる波長が 650 nm の入射光の場合、フォトダイオード 20 へ光が進入する深さは、約 4 μ m である。このため、N⁺型エピタキシャル層 32 の厚さが 5 μ m であれば、約 30% の入射光が光電流に寄与しなくなり、対ノイズ特性を示す S/N 比が大幅に低下する。

【0012】図 10 に示す回路内蔵光素子では、フォトダイオード 20 の深さ方向に深く N⁺型埋め込み拡散層 31 よりも下部の P 型半導体基板 30 内に発生する光キャリアは、して MOST ランジスタ 36 および 37 へ迷走する。しかし、このような光キャリアは、N⁺型埋め込み拡散層 31 と P 型半導体基板 30 との PN 接合によって再結合して消滅する。このため、光キャリアの MOST ランジスタ 36 および 37 への迷走が防止され、MOS デバイスの誤動作を防止することができる。しかしながら、このように、光キャリアが削減すると、フォトダイオード 20 の光感度が低下するために、これにより S/N 比が低下する。また、通常、半導体基板の厚みが 600 μ m 程度であるのに対して、N⁺型エピタキシャル層 32 の厚みが 5 μ m と極めて薄いために、ラッチアップ現象が発生しやすいという問題がある。

【0013】これに対して、フォトダイオード 20 の応答速度および光感度を優先させて、例えば波長が 650 nm の光を 90% 程度以上吸収し、拡散電流成分のみをカットするためには、N⁺型エピタキシャル層 32 の厚みは 12 μ m 程度にする必要がある。この場合、フォトダイオード 20 では、N⁺型埋め込み拡散層 31 の下部にて発生した光キャリアの迷走を防止することはできるが、N⁺型拡散層 35 を N⁺型埋め込み拡散層 31 に接続させることはできない。その結果、フォトダイオード 20 にて発生した光キャリアが MOST ランジスタ 36 および 37 のチャネル部に流れ込み、MOST ランジスタ 36 および 37 が誤動作する可能性が大きくなる。また、N⁺型エピタキシャル層 32 の厚みを 12 μ m 程度にしても、ラッチアップ現象の発生を十分に抑制することはできない。さらに、N⁺型拡散層 35 を N⁺型埋め込み拡散層 31 に接続させるために、長時間にわたって熱処理を行う必要があるが、熱処理を長時間にわたって行くと、N⁺型拡散層 35 の拡散拡がりが大きくなり、フォトダイオード 20 の面積が増加するとともに、チップ面積が増大するおそれがあり好ましくない。

【0014】また、フォトダイオード 20 部分の P⁺領域 33 および N 型領域 34 の表面拡散領域に、N 型 MOST ランジスタのソース拡散領域およびドレイン拡散領域を使用する構成が、特開平 3-91959 号公報に開示されている。この構成は、N 型 MOST ランジスタのソース拡散領域およびドレイン拡散領域をフォトダイオードのカソード電極とし、P ウェル拡散領域およびその

下部に形成される P 型埋め込み拡散層をフォトダイオードのアノード電極としている。これにより、N 型 MOST ランジスタのソース拡散領域およびドレイン拡散領域は、厚みが 0.2~0.4 μ m 程度の浅い (shall ow) 拡散領域になり、短波長の光に対して高い光感度を維持することができる。

【0015】しかしながら、このような構成では、短波長側に光感度のピークを持つフォトダイオードが得られ、短波長の光の光感度のみについては特性を向上させることができるが、P 型拡散層および P 型埋め込み拡散層の厚みが 1.0~1.5 μ m で形成されるために、この P 型埋め込み拡散層が形成するポテンシャルバリアによって、P 型埋め込み拡散層の不純物濃度のピーク位置より深い所、例えばフォトダイオードの表面から 1.5 μ m より深い所で発生する光キャリアが光電流として寄与しなくなり、長波長の光の光感度が大幅に低下するおそれがある。例えば、DVD-ROM 等の光ピックアップ、光ファイバリンク、フォトカプラ等で使用される波長 650 nm の光であれば、フォトダイオードに入射する光の 30% 程度しか光電流として寄与しない。また、MOS デバイスおよび NPN トランジスタの諸特性を低下させないように、例えばエピタキシャル層を厚み 3.0 μ m 程度に厚くしても、波長 650 nm の光であれば、フォトダイオードに入射する光の 50% 程度しか光電流として寄与しない。

【0016】DVD-ROM 等の光ピックアップは、データの高密度化を達成するために、使用する光の波長が、赤外から青色さらに青色へと短波長化している。短波長の光を読み取るだけの特殊なシステムであれば、前述の特開平 3-91959 号公報に開示されている構成でも問題はないが、DVD-ROM 等の光ピックアップでは、現行システムとの互換性を保つために、青色等の短波長の光を読み取ると同時に、赤色および赤外の長波長帯の光を読み取る必要がある。このため、特開平 3-91959 号公報に開示されている構成では、長波長帯の光に対する光感度が半減し、S/N 比が大きく劣化するおそれがある。

【0017】さらに、特開平 3-91959 号公報に開示されている構成では、N 型 MOST ランジスタのソース拡散領域およびドレイン拡散領域をフォトダイオードのカソード電極とし、P ウェル拡散領域およびその下部に形成される P 型埋め込み拡散層をフォトダイオードのアノード電極としているために、フォトダイオードに逆バイアスが印加されると、空乏層の間隔は、1.0~2.0 μ m 程度しか拡がらず、空乏層の間隔が狭いという問題がある。空乏層の間隔が狭いと、フォトダイオードの接合容量が増加し、フォトダイオードの応答速度が低下する。青色の光を使用した DVD-ROM 等の光ピックアップは、短波長の光に対する DC (直流) 的な光感度も重要であるが、使用する周波数帯が 100 MHz

以上の高周波であり、フォトダイオードの応答速度が置いことは重大な問題である。

【0018】本発明は、このような課題を解決するものであり、その目的は、短波長の光に対して高い光感度を有するとともに高速動作が可能なフォトダイオードが内蔵されており、フォトダイオードで発生した光キャリアがMOSデバイスに入ることが抑制されるとともに、ラッチアップ現象も防止し得る回路内蔵受光素子を提供することにある。

【0019】

【課題を解決するための手段】本発明の回路内蔵受光素子は、第1導電型半導体積層構造と、該第1導電型半導体積層構造上に形成された第1の第2導電型半導体層との接合により、入射光を電気信号に変換するフォトダイオードと、該第1の第2導電型半導体層における該フォトダイオード部とは異なる領域に形成され、光電変換された信号を処理する信号処理回路と、を備えた回路内蔵受光素子であって、該第1導電型半導体積層構造は、第1導電型半導体基板と、該第1導電型半導体基板上に形成され、該第1導電型半導体基板よりも不純物濃度が高い第1の第1導電型半導体層と、該第1の第1導電型半導体層上に形成され該第1の第1導電型半導体層よりも不純物濃度が低い第2の第1導電型半導体層とを有し、該フォトダイオードは、該第1の第1導電型半導体層の表面にはば接するように設けられた第3の第1導電型半導体層と、該第1の第2導電型半導体層の表面から該第3の第1導電型半導体層まで達するように形成された第4の第1導電型半導体層とに囲まれた領域に形成され、該信号処理回路は、少なくともMOS構造のトランジスタを含むことを特徴とする。

【0020】前記第3の第1導電型半導体層の下方に、該第3の第1導電型半導体層の少なくとも一部と重なって、前記第2の第1導電型半導体層を貫通し、少なくとも前記第1の第1導電型半導体層まで達する第5の第1導電型半導体層を有する。

【0021】前記第2の第1導電型半導体層が高比抵抗層である。

【0022】前記第2の第1導電型半導体層の比抵抗が $200\Omega\cdot\text{cm}$ 以上である。

【0023】前記第1の第2導電型半導体層に表面に、第2の第2導電型半導体層が形成されている。

【0024】前記信号処理回路に、前記フォトダイオードと隣接しないように、N型MOSトランジスタが形成されている。

【0025】前記信号処理回路を構成するN型MOSトランジスタと前記フォトダイオードとの間に、P型MOSトランジスタが形成されている。

【0026】前記信号処理回路を構成するN型MOSトランジスタと前記フォトダイオードとの間に、前記第1の第2導電型半導体層または前記第2の第2導電型半導

体層が形成され、該第1の第2導電型半導体層または該第2の第2導電型半導体層と前記第3の第1導電型半導体層とが同電位に設定されている。

【0027】前記信号処理回路を構成するN型MOSトランジスタと前記フォトダイオードとの間に、前記第1の第2導電型半導体層または前記第2の第2導電型半導体層が形成され、該第1の第2導電型半導体層または該第2の第2導電型半導体層は、前記第3の第1導電型半導体層よりも高電位に設定されている。

【0028】前記第2の第2導電型半導体層が前記MOS構造のトランジスタのソース領域およびドレイン領域と同時に形成される。

【0029】前記第2の第2導電型半導体層が1回または複数回の拡散処理によって形成されている。

【0030】前記第1の第2導電型半導体層が第6の第1導電型半導体層である。

【0031】前記第2の第2導電型半導体層の下方の前記第1の第2導電型半導体層の不純物濃度がほぼ均一である。

【0032】前記第1の第2導電型半導体層が高比抵抗層である。

【0033】前記第1の第2導電型半導体層の比抵抗が $3.0\Omega\cdot\text{cm}$ 以上である。

【0034】前記第2の第2導電型半導体層の下方に第2導電型ウェル拡散層が形成されている。

【0035】前記第6の第1導電型半導体層の下方に第1導電型ウェル拡散層が形成されている。

【0036】前記第2導電型ウェル拡散層および前記第1導電型ウェル拡散層が前記MOS構造のトランジスタのウェル領域と同時に形成される。

【0037】前記第1の第2導電型半導体層と前記第2の第1導電型半導体層との間に第4の第2導電型半導体層が形成されている。

【0038】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態を説明する。

【0039】図1は、本発明の第1の実施形態である回路内蔵受光素子の構成を示す断面図である。本実施形態の回路内蔵受光素子は、光が入射するフォトダイオード部12と、フォトダイオード部12に入射した光が光電変換された電気信号を処理するための集積回路を構成するCMOSTランジスタ部13とを有している。尚、図1および以下の図では、表面保護膜等の酸化膜は省略している。

【0040】図1に示すように、本実施形態の回路内蔵受光素子は、P型半導体基板1(40 $\Omega\cdot\text{cm}$)上に、不純物濃度が高く低抵抗のP⁺型埋め込み拡散層2(抵抗値:0.01 $\Omega\cdot\text{cm}$)と、不純物濃度が極めて低く高抵抗のP型エピタキシャル層3(抵抗値:1000 $\Omega\cdot\text{cm}$)と、N型エピタキシャル層6(約3 $\Omega\cdot\text{cm}$)

とが順番に積層されている。P型エピタキシャル層3内には、フォトダイオード部12を取り囲むP型埋め込み分離拡散層4が設けられており、また、N型エピタキシャル層6内には、P型埋め込み分離拡散層4上にP型分離拡散層7が設けられている。P型分離拡散層7の表面は、N型エピタキシャル層6の表面に露出しており、その露出したP型分離拡散層7の表面上にアノード電極（図示せず）が形成されており、P型分離拡散層7はアノード電位になっている。P型埋め込み分離拡散層4およびP型分離拡散層7は、イオンドープング工程と、その後の熱拡散工程を経て形成されている。

【0041】フォトダイオード部12には、P型エピタキシャル層3とN型エピタキシャル層6との界面にPN接合領域である空乏層14が形成されている。フォトダイオード部12のN型エピタキシャル層6の表面近傍には、N型拡散層9が埋め込まれている。N型拡散層9の表面は、N型エピタキシャル層6の表面に露出しており、その露出したN型拡散層9の表面上にカソード電極（図示せず）が形成されている。

【0042】フォトダイオード部12以外の信号処理回路には、信号処理用素子としてP型MOSTランジスタ15およびN型MOSTランジスタ16から成るCMOSTランジスタ部13が形成されている。CMOSTランジスタ部13のN型MOSTランジスタ16には、P型エピタキシャル層3およびN型エピタキシャル層6間にわたってP型埋め込み分離拡散層4aが設けられており、P型埋め込み分離拡散層4a上には、N型エピタキシャル層6内に埋め込まれたP型分離拡散層7aが設けられている。P型分離拡散層7aの表面は、N型エピタキシャル層6の表面に露出している。P型分離拡散層7aの表面には、電極パターンが設けられており、P型分離拡散層7aはP型分離拡散層7と同様にアノード電位に設定されている。P型分離拡散層7aの表面近傍には、それぞれがソース領域およびドレイン領域となる一対のN型拡散層9aが埋め込まれている。各N型拡散層9aの表面は、それぞれP型分離拡散層7aの表面に露出しており、その露出した各表面に電極がそれぞれ形成されている。一対のN型拡散層9a間は、チャネル部になっている。

【0043】また、P型MOSTランジスタ15には、P型エピタキシャル層3およびN型エピタキシャル層6間にわたってN型埋め込み拡散層5が設けられており、N型埋め込み拡散層5上には、N型エピタキシャル層6内に埋め込まれたN型拡散層8が設けられている。N型拡散層8の表面は、N型エピタキシャル層6の表面に露出している。N型拡散層8の表面には、電極パターンが設けられており、N型拡散層8は高電位の電源電圧 V_{cc} が印加されている。N型拡散層8の表面近傍には、それぞれがソース領域およびドレイン領域となる一対のP型拡散層10aが埋め込まれている。各P型拡

散層10の表面は、それぞれN型拡散層8の表面に露出しており、その露出した各表面に電極がそれぞれ形成されている。一対のP型拡散層10間は、チャネル部になっている。

【0044】このように構成された本実施形態の回路内感変素子において、フォトダイオード部12では、不純物濃度が高いP型埋め込み拡散層2の不純物濃度のピーク位置よりも深い位置のP型半導体基板1にて光キャリア Φ が発生すると、その光キャリア Φ は、P型埋め込み拡散層2の不純物濃度のプロファイルによるポテンシャルバリアを超えることができず、P型半導体基板1に押し戻されてP型半導体基板1内に再結合することによって消滅する。したがって、光キャリア Φ がCMOSTランジスタ部13に迷走することが防止される。また、P型埋め込み拡散層2の不純物濃度のピーク位置より浅い所で光キャリア Φ が発生すると、その光キャリア Φ は、P型埋め込み拡散層2のポテンシャル（電位）による内蔵電界によって、高速でPN接合領域の空乏層14に導かれて光電流となる。

【0045】一方、P型エピタキシャル層3内で発生した多数の光キャリア Φ は、P型エピタキシャル層3とN型エピタキシャル層6との界面に形成された空乏層14に導かれて光電流となるが、一部の光キャリア Φ はCMOSTランジスタ部13側に迷走する。しかし、CMOSTランジスタ部13側に迷走する光キャリア Φ のほとんどは、P型埋め込み分離拡散層4のポテンシャルバリアによって、フォトダイオード側に押し戻されて光電流となり、CMOSTランジスタ部13側にはほとんど迷走しない。この場合、P型埋め込み分離拡散層4のポテンシャルバリアをすり抜けた僅かな光キャリア Φ は、CMOSTランジスタ部13側に迷走するが、CMOSTランジスタ部13のP型MOSTランジスタ15では、N型拡散層8が高電位の電源電圧 V_{cc} に接続されて、N型埋め込み拡散層5およびN型拡散層8が高電位になっているために、N型埋め込み拡散層5およびN型拡散層8によって光キャリア Φ が吸収される。これにより、CMOSTランジスタ部13が誤動作することが防止される。

【0046】本実施形態において、フォトダイオード部12のN型エピタキシャル層6の厚みは $2\mu\text{m}$ 程度である。また、P型エピタキシャル層3には、P型エピタキシャル層3の形成時の熱処理およびその後の熱拡散工程を経て形成されるP型埋め込み拡散層2の反応組成物が含まれており、その反応組成物の厚さは、約 $10\mu\text{m}$ になっている。P型埋め込み拡散層2の反応組成物を含むP型エピタキシャル層3の厚みは $1.2\mu\text{m}\sim 1.5\mu\text{m}$ 程度になっている。これにより、N型エピタキシャル層6の表面から、P型埋め込み拡散層2の不純物濃度のピーク位置までの深さは、 $1.4\mu\text{m}\sim 1.7\mu\text{m}$ 程度となり、光キャリアを殆ど吸収することができ、フォトダ

イオードの光感度を高くすることができる。

【0047】さらに、フォトダイオード部12とCMOSTランジスタ部13とを分離するP⁺型埋め込み分離拡散層4およびCMOSTランジスタ部13のP⁺型埋め込み分離拡散層4aの拡散深さは、P型エピタキシャル層3の表面から約1 μ m～2 μ mになっており、各P⁺型埋め込み分離拡散層4および4aは、その下方のP⁺型埋め込み拡散層2と近接している。これにより、フォトダイオード部12で発生した光キャリアがCMOSTランジスタ部13に迷走するのを防止できる。

【0048】さらに、CMOSTランジスタ部13の下部には、不純物濃度が高く低抵抗であるP⁺型埋め込み拡散層2とP⁺型埋め込み拡散層2上に積層されたP型エピタキシャル層3とが存在するため、一般的な通常のMOSプロセスと同様に、ラッチアップ現象の発生を抑制することができる。

【0049】本発明の回路内蔵受光素子では、フォトダイオード部12の表面に形成されているN⁺型拡散層9は、CMOSTランジスタ部13のN型MOSTランジスタ16のソース拡散領域およびドレイン拡散領域であるN⁺型拡散層9aを形成する際に、同時に同一工程内で形成することが望ましい。このN⁺型拡散層9は、前述の特開平3-91959号公報に開示されている構成のPウェル拡散領域とPN接合領域を形成するものではない。また、フォトダイオード部12のPN接合領域である空乏層14は、N型エピタキシャル層6と高比抵抗のP型エピタキシャル層3との界面に形成されており、N⁺型拡散層9は、フォトダイオード部12の高速動作のための直列抵抗を低減する拡散領域になっている。これにより、フォトダイオード部12は、製造工程が簡略化されるとともに、短波長の光に対する光感度も向上し、PN接合領域である空乏層14が、N型エピタキシャル層6と高比抵抗のP型エピタキシャル層3との界面に形成されるために、大きく拡がり接合容量を小さくすることができる。フォトダイオード部12の高速動作が可能となる。

【0050】図2は、本発明の第2の実施形態の回路内蔵受光素子の構成を示す断面図である。図2に示す本発明の第2の実施形態の回路内蔵受光素子は、フォトダイオード部12を取り囲むP⁺型埋め込み分離拡散層4の下側にP型埋め込み分離拡散層11が形成されている。P型埋め込み分離拡散層11は、P⁺型埋め込み拡散層2内に入射した状態になっている。その他の構成については、図1に示す第1の実施形態の回路内蔵受光素子の構成と同様になっている。

【0051】第2の実施形態の回路内蔵受光素子では、P型エピタキシャル層3で発生した光キャリアが、P型埋め込み分離拡散層11のポテンシャルバリアによって、CMOSTランジスタ部13へ迷走することが確実に遮断される。これにより、CMOSTランジスタ部1

3の誤動作が確実に抑制される。また、P型埋め込み分離拡散層11が設けられることにより、フォトダイオード部12のP型分離拡散層7上に設けられたアノード電極におけるアノード抵抗が低減され、フォトダイオード部12は高速にて動作し得る。さらに、P型半導体基板1は、GND電位とされるが、P型埋め込み拡散層11が設けられることによって、P型半導体基板1のGND電位が安定化され、ラッチアップ現象の発生を抑制することができる。

【0052】図1および図2に示す回路内蔵受光素子では、フォトダイオード部12の接合容量は、不純物濃度が極めて低いP型エピタキシャル層3とN型エピタキシャル層6との界面のPN接合領域である空乏層14の接合容量となる。このように、P型エピタキシャル層3とN型エピタキシャル層6は、不純物濃度が極めて低くなっているために、フォトダイオード部12の空乏層14を大きく拡げることができる。この結果、P型エピタキシャル層3で発生する殆どの光キャリアが拡散することを防止できるとともに、接合容量も小さくなり、フォトダイオード部12は、高速動作が可能となる。

【0053】また、図1および図2に示す回路内蔵受光素子では、フォトダイオード部12とN型MOSTランジスタ16との間に、P型MOSTランジスタ15が形成されている。N型MOSTランジスタ16のチャネル部は、P型分離拡散層7aを有しており、P型分離拡散層7aの電位は、フォトダイオード部12におけるP型分離拡散層7のアノード電位と同一のGND電位になっている。このため、フォトダイオード部12に隣接してN型MOSTランジスタ16が形成されると、P⁺型埋め込み分離拡散層4のポテンシャルバリアをすり抜けてCMOSTランジスタ部13に迷走する光キャリアが、N型MOSTランジスタ16のチャネル部に飛び込んでCMOSTランジスタ部13の誤動作を引き起こすおそれがある。しかしながら、フォトダイオード部12とN型MOSTランジスタ16との間にP型MOSTランジスタ15が設けられていることにより、P型MOSTランジスタ15の高電位V_{cc}になったN⁺型埋め込み拡散層5およびN型拡散層8によって、光キャリアが吸収され、CMOSTランジスタ部13の誤動作が防止される。

【0054】図3は、本発明の第3の実施形態の回路内蔵受光素子の構成を示す断面図である。図3に示す本発明の第3の実施形態の回路内蔵受光素子は、CMOSTランジスタ部13のN型MOSTランジスタ16がフォトダイオード部12に近傍している。P⁺型埋め込み分離拡散層4およびP型分離拡散層7とN型MOSTランジスタ16との間には、N⁺型埋め込み拡散層5bがP型エピタキシャル層3からN型エピタキシャル層6内にわたって設けられており、N⁺型埋め込み拡散層5b上にN型拡散層8bが設けられている。そして、N型拡散

層8b内の表面近傍にN⁺型拡散層9bが設けられている。N⁺型拡散層9bの表面は、N型拡散層8bの表面に露出している。その他の構成については、図1に示す第1の実施形態の回路内蔵受光素子の構成と同様になっている。

【0055】図3に示す第3の実施形態の回路内蔵受光素子において、N⁺型埋め込み拡散層5b、N型拡散層8bおよびN⁺型拡散層9bの電位は、P⁺型埋め込み分離拡散層4の電位と同電位であっても良いし、電源電圧Vccのように高電位であっても良い。図3に示す回路内蔵受光素子では、フォトダイオード部12に近接してN型MOSTランジスタ16が設けられているが、N型MOSTランジスタ16とフォトダイオード部12との間に、N⁺型埋め込み拡散層5b、N型拡散層8bおよびN⁺型拡散層9bによって吸収される。したがって、N型MOSTランジスタ16のチャネル部に光キャリアが迷走するおそれなく、CMOSTランジスタ部13の誤動作が防止される。

【0056】図4は、本発明の第4の実施形態の回路内蔵受光素子の構成を示す断面図である。図4に示す本発明の第4の実施形態の回路内蔵受光素子は、CMOSTランジスタ部13のN型MOSTランジスタ16がフォトダイオード部12に近接して形成されている。そして、P⁺型埋め込み分離拡散層4およびP型分離拡散層7とN型MOSTランジスタ16との間には、P型エピタキシャル層3上にN型エピタキシャル層6aが積層されている。その他の構成については、図1に示す第1の実施形態の回路内蔵受光素子の構成と同様になっている。

【0057】図4に示す第4の実施形態の回路内蔵受光素子では、N型エピタキシャル層6aの電位は、P⁺型埋め込み分離拡散層4およびN型MOSTランジスタ16のP⁺型埋め込み分離拡散層4aの電位と同電位であっても良いし、電源電圧Vccのように高電位であっても良い。図4に示す回路内蔵受光素子では、N型MOSTランジスタ16とフォトダイオード部12との間にN型エピタキシャル層6aが設けられているために、フォトダイオード部12からN型MOSTランジスタ16側に迷走する光キャリアが、N型エピタキシャル層6aと、P⁺型埋め込み分離拡散層4およびP型分離拡散層7とによって形成されたPN接合によって捕獲されて再結合し、消滅する。この結果、N型MOSTランジスタ16のチャネル部に光キャリアが迷走するおそれなく、CMOSTランジスタ部13の誤動作が防止される。

【0058】図5は、本発明の第5の実施形態の回路内蔵受光素子の構成を示す断面図である。図5に示す本発

明の第5の実施形態の回路内蔵受光素子は、P⁺型埋め込み分離拡散層4の下にP型埋め込み分離拡散層11が形成されている。また、フォトダイオード部12のN型エピタキシャル層6とN⁺型拡散層9との界面、および、CMOSTランジスタ部13におけるN型MOSTランジスタ16のP型分離拡散層7aとソース領域およびドレイン領域となるN⁺型拡散層9aとの界面には、低不純物濃度のN⁻型LDD (Lightly Doped Drain) 拡散層17および17aがそれぞれ形成されている。各N⁻型LDD拡散層17および17aは、N⁺型拡散層9および9aを形成する際に、N⁺型拡散層9および9aの表面から異なる深さに不純物を拡散させる2重拡散によりそれぞれ形成される。その他の構成については、図1に示す第1の実施形態の回路内蔵受光素子の構成と同様になっている。

【0059】図5に示す第5の実施形態の回路内蔵受光素子では、特に、短波長の光のようにフォトダイオード部12の表面付近にて、多数の光キャリアが発生すると、図6に示すように、フォトダイオード部12の表面付近にて発生した光キャリアは、N⁻型LDD拡散層17の不純物濃度のプロファイルによる内蔵電界によって、表面から内部に向かって加速され、N型エピタキシャル層6とP型エピタキシャル層3との界面に形成される空乏層14に向かって、高速で進む。これにより、光キャリアの空乏層14以外での光キャリアの移動時間が短縮され、フォトダイオード部12は、さらに高速にて動作される。

【0060】この場合、CMOSTランジスタ部13のN型MOSTランジスタ16は、N⁻型LDD拡散層17aを有するLDD構造が設けられているために、N型MOSTランジスタ16の耐電圧特性が向上している。尚、CMOSTランジスタ部13のP型MOSTランジスタ15は、ホットキャリアに対する信頼性が高いために、LDD構造を設けなくても良い。

【0061】尚、フォトダイオード部12のN型エピタキシャル層6は、N型エピタキシャル層6の表面に形成されたN⁺型拡散層9より下方において、不純物濃度が深き方向にはほぼ均一な高比抵抗の領域になっていても良い。この場合、N型エピタキシャル層6の比抵抗は、 $3.0\Omega\cdot\text{cm}$ 以上であることが好ましい。

【0062】例えば、N型エピタキシャル層6の厚みおよび比抵抗が、それぞれ $1.9\mu\text{m}$ および $3.0\Omega\cdot\text{cm}$ 、N型エピタキシャル層6の表面に形成されたN⁺型拡散層9の拡散深さが $0.4\mu\text{m}$ 、フォトダイオード部12に印加されるバイアス電圧が 1.5V の場合、N型エピタキシャル層6とP型エピタキシャル層3との界面に形成される空乏層14の幅が約 $1.4\mu\text{m}$ となり、空乏層14の上部がN⁺型拡散層9の底面に接する状態となる。この場合、図7に示すように、空乏層14がN⁺型拡散層9まで拡がり、光キャリアの空乏層14

以外での光キャリアの移動時間が短縮されるとともに、フォトダイオード部12の接合容量が低減され、フォトダイオード部12は、さらに高速にて動作される。

【0063】CMOSTランジスタ部13の諸特性等の制約より、N型エピタキシャル層6の比抵抗を高比抵抗にできない場合には、前述のN⁺型拡散層9の下方に不純物拡散されたN⁺型LDD拡散層17を併用することによりフォトダイオード部12の応答速度を向上させることができる。

【0064】また、フォトダイオード部12のN型エピタキシャル層6の表面に形成されたN⁺型拡散層9の下方に、N⁺型埋め込み拡散層等のN型ウェル拡散層を形成しても良い。この場合、図6に示すLDD拡散の原理と同様に、N型ウェル拡散層の不純物濃度のプロファイルによる内蔵電界によって、光キャリアが、表面から内部に向かって加速され、N型エピタキシャル層6とP型エピタキシャル層3との界面に形成される空乏層14に向かって、高速で移動する。これにより、光キャリアの空乏層以外での移動時間が短縮され、フォトダイオード部12は、さらに高速にて動作される。

【0065】フォトダイオードを内蔵しない通常のMOSプロセスでは、Pウェル拡散層およびNウェル拡散層の形成は1枚のマスクで自己整合的(セルフアライン)に形成されるが、フォトダイオード部12にN⁺型埋め込み拡散層等のN型ウェル拡散層を形成しない場合には、CMOSTランジスタ部13にNウェル拡散層を形成する場合に、フォトダイオード部12を覆うマスクを1枚追加する必要がある。しかしながら、フォトダイオード部12のN型エピタキシャル層6の表面に形成されたN⁺型拡散層9の下方に、N⁺型埋め込み拡散層等のN型ウェル拡散層を形成する場合には、CMOSTランジスタ部13にNウェル拡散層を形成する際に、フォトダイオード部12を覆うマスクが不要になり、工程数が削減される。

【0066】図8に本発明の第6の実施形態である回路内蔵受光素子を示す。この回路内蔵受光素子は、フォトダイオード部12のN型エピタキシャル層6とP型エピタキシャル層3との間にN⁺型埋め込み拡散層5cが形成されており、N型エピタキシャル層6の表面近傍にP⁺型拡散層10aが形成されている。この場合、図9に示すように、フォトダイオード部12の表面付近にP⁺型拡散層10aおよびN⁺型埋め込み拡散層5cから成るフォトダイオードAが形成され、フォトダイオードAの下方にN⁺型埋め込み拡散層5cおよびP型エピタキシャル層3から成るフォトダイオードBが形成される。これにより、N⁺型埋め込み拡散層5cの不純物濃度によるポテンシャルバリアにより、N⁺型埋め込み拡散層5cの不純物濃度のピーク位置より浅い領域で発生する光キャリアは、フォトダイオードAによって検出され、N⁺型埋め込み拡散層5cの不純物濃度のピーク位置より深い領域で発生する光キャリアは、フォトダイオードBによって検出される。この結果、図8に示す構成のフォトダイオード部12は、短波長の光と長波長の光とを別々に検出することができる。

【0067】例えば、フォトダイオード部12への入射光が波長400nmであれば、フォトダイオード部12の表面からの入射光の進入の深さが1μm以下であるため、入射光によって発生する全ての光キャリアがフォトダイオードAによって吸収される。N型エピタキシャル層6の厚みが1.5μmであり、入射光が波長650nmであれば、入射光によって発生する光キャリアの約30%がフォトダイオードAによって吸収され、入射光によって発生する光キャリアの約70%がフォトダイオードBによって吸収される。これにより、フォトダイオード部12への入射光に対して、フォトダイオードAおよびBで発生するそれぞれの光電流の差分を算出することにより、入射光の波長の検出が可能となる。

【0068】尚、本発明の実施形態においては、P型を第1導電型、N型を第2導電型としているが、図3および4に示す本発明の第3および4の実施形態以外の構成では、N型を第1導電型、P型を第2導電型としても良い。

【0069】【発明の効果】本発明の固体内蔵受光素子は、第1の第2導電型半導体層と第2の第1導電型半導体層とにより接合容量の小さいフォトダイオードが形成され、そのフォトダイオードが、第3の第1導電型半導体層および第4の第1導電型半導体層によって取り囲まれて、MOS構造のランジスタを含む信号処理回路と電気的に分離されることによって、フォトダイオードの高速動作が可能になるとともに、フォトダイオードの短波長の光に対する光感度も向上し、フォトダイオードで発生した光キャリアがMOSデバイスへの進入を抑制し、ラッチアップ現象を防止できる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態である回路内蔵受光素子の構成を示す断面図である。

【図2】本発明の第2の実施形態である回路内蔵受光素子の構成を示す断面図である。

【図3】本発明の第3の実施形態である回路内蔵受光素子の構成を示す断面図である。

【図4】本発明の第4の実施形態である回路内蔵受光素子の構成を示す断面図である。

【図5】本発明の第5の実施形態である回路内蔵受光素子の構成を示す断面図である。

【図6】図5のフォトダイオード部の深さ方向の不純物濃度のプロファイルを示すグラフである。

【図7】他のフォトダイオード部の深さ方向の不純物濃度のプロファイルを示すグラフである。

【図8】本発明の第6の実施形態である回路内蔵受光素子の構成を示す断面図である。

【図9】図8のフォトダイオード部の深さ方向の不純物濃度のプロファイルを示すグラフである。

【図10】図8のフォトダイオード部の深さ方向の不純物濃度のプロファイルを示すグラフである。

【図11】図8のフォトダイオード部の深さ方向の不純物濃度のプロファイルを示すグラフである。

【図12】図8のフォトダイオード部の深さ方向の不純物濃度のプロファイルを示すグラフである。

【図13】図8のフォトダイオード部の深さ方向の不純物濃度のプロファイルを示すグラフである。

【図14】図8のフォトダイオード部の深さ方向の不純物濃度のプロファイルを示すグラフである。

子の構成を示す断面図である。

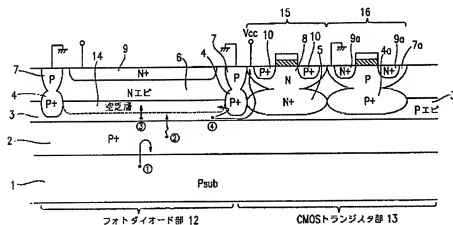
【図9】図8のフォトダイオード部の深さ方向の不純物濃度のプロファイルを示すグラフである。

【図10】従来の回路内蔵受光素子の構成を示す断面図である。

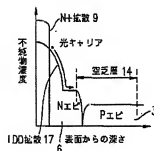
【符号の説明】

- | | | | |
|----|---------------------------|-----|--------------------------|
| 1 | P型半導体基板 | 9b | N ⁺ 型拡散層 |
| 2 | P ⁺ 型埋め込み拡散層 | 10 | P ⁺ 型拡散層 |
| 3 | P型エピタキシャル層 | 10a | P ⁺ 型拡散層 |
| 4 | P ⁺ 型埋め込み分離拡散層 | 11 | P型埋め込み分離拡散層 |
| 4a | P ⁺ 型埋め込み分離拡散層 | 12 | フォトダイオード部 |
| 5 | N ⁺ 型埋め込み拡散層 | 13 | CMOSTランジスタ部 |
| 5b | N ⁺ 型埋め込み拡散層 | 14 | 空乏層 |
| 5c | N ⁺ 型埋め込み拡散層 | 15 | P型MOSTランジスタ |
| 6 | N型エピタキシャル層 | 16 | N型MOSTランジスタ |
| 6a | N型エピタキシャル層 | 17 | N ⁺ 型LDD拡散層 |
| 7 | P型分離拡散層 | 17a | N ⁺ 型LDD拡散層 |
| 7a | P型分離拡散層 | 20 | フォトダイオード |
| 8 | N型拡散層 | 21 | 周辺回路 |
| 8b | N型拡散層 | 30 | P型半導体基板 |
| 9 | N ⁺ 型拡散層 | 31 | N ⁺ 型埋め込み拡散層 |
| 9a | N ⁺ 型拡散層 | 32 | N ⁺ 型エピタキシャル層 |
| | | 33 | P型領域 |
| | | 34 | N型領域 |
| | | 35 | N型拡散層 |
| | | 36 | MOSTランジスタ |
| | | 37 | MOSTランジスタ |

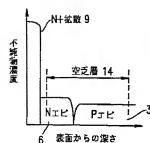
【図1】



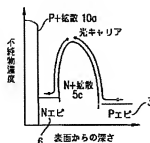
【図6】



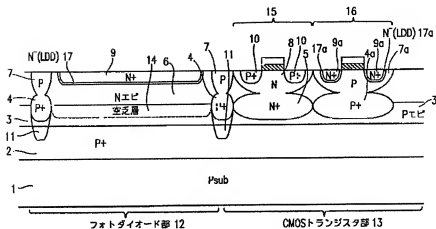
【図7】



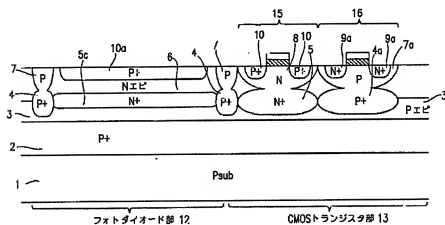
【図9】



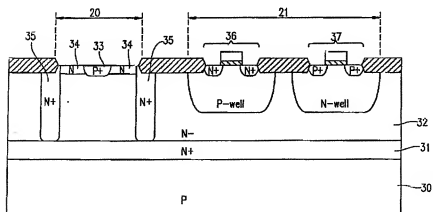
【图5】



【图8】



【図10】



フロントページの続き

Fターム(参考) 4M118 AA10 AB05 BA02 CA03 CA18
FC06 FC18 FC20
5F032 AA84 AB01 BA01 CA01 CA15
CA17
5F049 MA02 NA03 NA04 NB05 NB08
NB10 QA03 RA08